

PAT-NO: JP410112178A

DOCUMENT-IDENTIFIER: JP 10112178 A

TITLE: FIFO MEMORY AND ITS MANUFACTURE

PUBN-DATE: April 28, 1998

INVENTOR-INFORMATION:

NAME

TERAKAGO, HIROSUKE

ASSIGNEE-INFORMATION:

NAME

COUNTRY

DAINIPPON PRINTING CO LTD

N/A

APPL-NO: JP08281331

APPL-DATE: October 2, 1996

INT-CL (IPC): G11C007/00

ABSTRACT:

PROBLEM TO BE SOLVED: To simplify design work by making constitution using a hard macro- module.

SOLUTION: When digital data is transferred from a first circuit 1 operating with a different clock to a second clock, a FIFO memory 10 having a function performing receipt and delivery of data is designed. A memory module 11 consisting of plural storing sections 11a-11f and a control module 12 consisting of plural control sections 12a-12f are arranged. Each control section is provided with a function storing a flag W (logical value 1) indicating a write-in place and a flag R (logical value 1) indicating a read-out place, and a function in which whenever writing processing and reading

processing are finished, these flags are transferred to a control section of a poststage. When the flag W catches up the flag R, a signal FULL indicating a full state is transmitted, when the flag R catches up the flag W, a signal EMPTY indicating an empty state is transmitted.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-112178

(43)公開日 平成10年(1998)4月28日

(51)Int.Cl.⁸

G 1 1 C 7/00

識別記号

3 1 8

F I

G 1 1 C 7/00

3 1 8 A

審査請求 未請求 請求項の数5 F D (全 12 頁)

(21)出願番号 特願平8-281331

(22)出願日 平成8年(1996)10月2日

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 寺籙 博裕

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

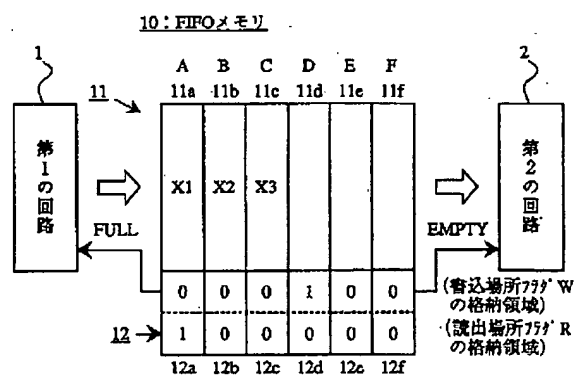
(74)代理人 弁理士 志村 浩

(54)【発明の名称】 F I F Oメモリおよびその製造方法

(57)【要約】

【課題】 ハードマクロモジュールを用いた構成にして設計作業を単純化する。

【解決手段】 異なるクロックで動作する第1の回路1から第2の回路2へ、デジタルデータを転送する際に、データの受け渡しを行う機能をもったF I F Oメモリ10を設計する。複数の記憶部11a~11fからなるメモリモジュール11と、複数の制御部12a~12fからなる制御モジュール12とを配置する。各制御部には、書込場所を示すフラグW (論理値1) および読出場所を示すフラグR (論理値1) を格納する機能と、書込処理および読出処理が完了するたびに、これらのフラグを後段の制御部へ転送する機能とを設ける。フラグRにフラグWが追いついたら、満状態を示す信号F U L Lを送信し、フラグWにフラグRが追いついたら、空状態を示す信号E M P T Yを送信する。



【特許請求の範囲】

【請求項1】 第1のクロックで動作する第1の回路から、第2のクロックで動作する第2の回路へ、デジタルデータを転送する際に、両回路の間でデータの受け渡しを行う機能をもったFIFOメモリにおいて、転送すべきデータのビット数に応じた容量をもつ記憶部を、複数M個配置してなるメモリモジュールと、前記各記憶部に対応して設けられたM個の制御部からなる制御モジュールと、

を備え、

前記各制御部には、書込場所フラグWおよび読出場所フラグRを格納する機能と、これらのフラグを後段の制御部へ転送する機能とを設け、リセット信号が与えられたときに、前記書込場所フラグWおよび前記読出場所フラグRが、初段となる所定の制御部に格納されるようにし、

第1の回路から第1のクロックに同期してデータが出力されたら、メモリモジュールは、その時点において書込場所フラグWが格納されている制御部に対応する記憶部に、この出力されたデータを書き込む処理を行い、書込場所フラグWを格納していた制御部は、この書込場所フラグWを後段の制御部へと転送する処理を行い、第2の回路から第2のクロックに同期したデータ入力の要求があったら、メモリモジュールは、その時点において読出場所フラグRが格納されている制御部に対応する記憶部から、データを読出して第2の回路へ与える処理を行い、読出場所フラグRが格納されていた制御部は、この読出場所フラグRを後段の制御部へ転送する処理を行い、

各制御部は、読出場所フラグRを格納しているときに、前段から書込場所フラグWの転送を受けたときに、第1の回路に対してFIFOメモリが満状態であることを示す信号FULLを送信し、逆に、書込場所フラグWを格納しているときに、前段から読出場所フラグRの転送を受けたときに、第2の回路に対してFIFOメモリが空状態であることを示す信号EMPTYを送信する機能を有することを特徴とするFIFOメモリ。

【請求項2】 請求項1に記載のFIFOメモリにおいて、

1ビットの記憶素子を縦方向にL個並べて配置することによりLビットの容量をもった記憶部を構成し、この記憶部を横方向にM個並べて配置することによりLビットMワードの容量をもったメモリモジュールを構成し、制御部を前記記憶部と同じピッチで横方向にM個並べて配置することにより制御モジュールを構成し、各記憶部とこれに対応する各制御部とが互いに隣接配置されるようにしたことを特徴とするFIFOメモリ。

【請求項3】 請求項2に記載のFIFOメモリにおいて、

リセット信号が与えられたときに、書込場所フラグWお

よび読出場所フラグRのいずれも生成しない第1の制御部と、リセット信号が与えられたときに、書込場所フラグWおよび読出場所フラグRの双方を生成する第2の制御部と、を用意し、第1の制御部を(M-1)個配置するとともに、第2の制御部を1個配置することにより、制御モジュールを構成したことを特徴とするFIFOメモリ。

【請求項4】 請求項2または3に記載のFIFOメモリにおいて、

10 各制御部は、書込場所フラグWを格納しているときに、対応する記憶部内の記憶素子に対して書込許可信号WWを出力し、読出場所フラグRを格納しているときに、対応する記憶部内の記憶素子に対して読出許可信号RRを出力することを特徴とするFIFOメモリ。

【請求項5】 請求項2に記載のFIFOメモリの製造方法において、

各記憶素子および各制御部を、それぞれハードマクロモジュールとしてライブラリに登録されたセルの形式で用意し、

20 前記記憶素子についてのセルを、縦方向にL個、横方向にM個配列することにより、LビットMワードの容量をもったメモリモジュールを構成し、前記制御部についてのセルを、前記記憶素子についてのセルと同じピッチで横方向にM個並べて配置することにより制御モジュールを構成することを特徴とするFIFOメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はFIFOメモリに関し、特に、動作速度の異なる2つの回路間でデジタルデータを転送する際に、両回路の間でデータの受け渡しを行う機能をもったFIFOメモリに関する。

【0002】

【従来の技術】互いに動作速度の異なる回路間でデジタルデータの転送を行う場合、両者のクロック周波数が異なるため、データを一時的に蓄積して受け渡しを媒介するFIFO(First In First Out)メモリを中間に設ける必要がある。すなわち、第1のクロックで動作する第1の回路から転送すべきデータが出力された場合、第2のクロックで動作する第2の回路は、このデータを直に取り込むことができないので、FIFOメモリを用いてデータを一時的に蓄積しておく必要がある。FIFOメモリに蓄積されたデータは、蓄積された順に、第2のクロックに同期して第2の回路へと取り込まれる。

【0003】従来のFIFOメモリとしては、デュアルポートSRAMを利用したものが一般的である。第1の回路から第1のクロックに同期して出力されたデータは、デュアルポートSRAM内の第1のポートを介して所定のアドレスへと書き込まれ、書き込まれたデータは、第2のポートを介して第2のクロックに同期して第

2の回路へと読み出される。このデュアルポートSRAMに対する書込アドレスと読出アドレスとは別個に管理され、それぞれのアドレスについてポインタが設けられる。第1の回路からデータが出力されると、このデータは書込ポインタが示すアドレスに書き込まれ、書き込み後に書込ポインタの値は更新される。一方、第2の回路へは、読出ポインタが示すアドレスからデータが読み出され、読み出し後に読出ポインタの値は更新される。こうして、両回路を媒介するFIFOメモリでは、データの先入れ先出し処理が行われることになる。

【0004】また、一般的なFIFOメモリには、第1の回路に対してメモリが満状態であることを示す信号FULLを送信する機能と、第2の回路に対してメモリが空状態であることを示す信号EMPTYを送信する機能とが備わっている。これは、第2の回路へのデータ取り込み処理が遅延した場合には、第1の回路から次々に出されたデータによってFIFOメモリが満状態となるので、信号FULLを第1の回路へ送信して、データの出力処理を中断させ、逆に、第1の回路からのデータ出力処理が遅延した場合には、第2の回路が取り込むべきデータがFIFOメモリ内には存在しない空状態となるので、信号EMPTYを第2の回路へ送信して、データの取り込み処理を中断させるためである。信号FULLや信号EMPTYは、書込ポインタの値と読出ポインタの値との差に基づいて発生させることができる。

【0005】

【発明が解決しようとする課題】上述したように、従来の一般的なFIFOメモリは、デュアルポートSRAMを利用したものであるが、このデュアルポートSRAMへのアクセスを統括制御するために、専用のコントロール部が必要になる。この専用のコントロール部は、書込ポインタや読出ポインタの管理や、信号FULLや信号EMPTYを発生する処理などを行うための回路である。ところが、一般的なデュアルポートSRAMは、ハードマクロモジュールとして、セルライブラリに用意されている既製のものを利用して設計することができるが、専用のコントロール部は、このようなセルライブラリ内の汎用モジュールを利用することはできず、カウンタ、比較器、組み合わせ論理回路、などの部品を組み合わせたソフトマクロモジュール（ネットリストモジュール）として、その都度、新たに設計せざるを得ない。近年では、ICの設計を、自動マスキレイアウトツールを用いた自動配置配線によって効率的に行うのが主流であるが、セルライブラリ内に用意された既製のモジュールだけを用了設計を行うことができないと、このような効率的な設計作業を行う上で大きな支障となる。

【0006】たとえば、設計者は、FIFOメモリを組み込んだ回路の論理設計を行う段階で、FIFOメモリの遅延特性を見積もった設計を行う必要がある。しかも、この論理設計に基づいて、自動マスキレイアウトツ

ールを用いた自動配置配線を行った結果、実際のレイアウトにおける遅延特性が見積もりと大きく異なった場合には、再び、論理設計をやり直す必要がある。もちろん、このような再設計を行わざるを得ない事態を避けるために、遅延特性の見積もりに十分に余裕をみた論理設計を行うことも可能であるが、余裕をみればみるほど、本来の実効能力よりも劣った論理設計しかできないことになる。

【0007】特に、近年では、ASIC (Application Specific Integrated Circuit : 特定用途向け集積回路) の需要が高まってきており、SOG-GA (Sea Of Gate- Gate Array : ゲート敷き詰め型のゲートアレイ) を利用してASICを設計することが広く行われるようになってきている。このようなSOG-GAを利用して設計された回路では、任意のビット数、任意のワード数をもったFIFOメモリが要求されることになるが、このように任意の記憶容量をもったFIFOメモリを、ソフトマクロモジュールとして設計する作業は多大な労力と時間を要する作業になる。特に、2のべき乗で表される数(2, 4, 8, 16, 32, ...)以外のワード数をもったFIFOメモリを実現する必要がある場合、アドレスポインタを単なるカウンタによって構成することができず、論理設計は非常に複雑な作業にならざるを得ない。

【0008】そこで本発明は、設計作業を単純化させることができるFIFOメモリおよびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

(1) 本発明の第1の態様は、第1のクロックで動作する第1の回路から、第2のクロックで動作する第2の回路へ、デジタルデータを転送する際に、両回路の間でデータの受け渡しを行う機能をもったFIFOメモリにおいて、転送すべきデータのビット数に応じた容量をもつ記憶部を、複数M個配置してなるメモリモジュールと、各記憶部に対応して設けられたM個の制御部からなる制御モジュールと、を用意し、各制御部には、書込場所フラグWおよび読出場所フラグRを格納する機能と、これらのフラグを後段の制御部へ転送する機能とを設け、リセット信号が与えられたときに、書込場所フラグWおよび読出場所フラグRが、初段となる所定の制御部に格納されるようにし、第1の回路から第1のクロックに同期してデータが出力されたら、メモリモジュールは、その時点において書込場所フラグWが格納されている制御部に対応する記憶部に、この出力されたデータを書き込む処理を行い、書込場所フラグWを格納していた制御部は、この書込場所フラグWを後段の制御部へと転送する処理を行い、第2の回路から第2のクロックに同期したデータ入力の要求があったら、メモリモジュールは、その時点において読出場所フラグRが格納されている制

部に対応する記憶部から、データを読出して第2の回路へ与える処理を行い、読出場所フラグRが格納されていた制御部は、この読出場所フラグRを後段の制御部へ転送する処理を行い、各制御部が、読出場所フラグRを格納しているときに、前段から書込場所フラグWの転送を受けたときに、第1の回路に対してFIFOメモリが満状態であることを示す信号FULLを送信し、逆に、書込場所フラグWを格納しているときに、前段から読出場所フラグRの転送を受けたときに、第2の回路に対してFIFOメモリが空状態であることを示す信号EMPTYを送信する処理を行うようにしたものである。

【0010】(2) 本発明の第2の態様は、上述の第1の態様に係るFIFOメモリにおいて、1ビットの記憶素子を縦方向にL個並べて配置することによりLビットの容量をもった記憶部を構成し、この記憶部を横方向にM個並べて配置することによりLビットMワードの容量をもったメモリモジュールを構成し、制御部を記憶部と同じピッチで横方向にM個並べて配置することにより制御モジュールを構成し、各記憶部とこれに対応する各制御部とが互いに隣接配置されるようにしたものである。

【0011】(3) 本発明の第3の態様は、上述の第2の態様に係るFIFOメモリにおいて、リセット信号が与えられたときに、書込場所フラグWおよび読出場所フラグRのいずれも生成しない第1の制御部と、リセット信号が与えられたときに、書込場所フラグWおよび読出場所フラグRの双方を生成する第2の制御部と、を用意し、第1の制御部を(M-1)個配置するとともに、第2の制御部を1個配置することにより、制御モジュールを構成するようにしたものである。

【0012】(4) 本発明の第4の態様は、上述の第2または第3の態様に係るFIFOメモリにおいて、各制御部が、書込場所フラグWを格納しているときに、対応する記憶部内の記憶素子に対して書込許可信号WWを出力し、読出場所フラグRを格納しているときに、対応する記憶部内の記憶素子に対して読出許可信号RRを出力するようにしたものである。

【0013】(5) 本発明の第5の態様は、上述の第2の態様に係るFIFOメモリの製造方法において、各記憶素子および各制御部を、それぞれハードマクロモジュールとしてライブラリに登録されたセルの形式で用意し、記憶素子についてのセルを、縦方向にL個、横方向にM個配列することにより、LビットMワードの容量をもったメモリモジュールを構成し、制御部についてのセルを、記憶素子についてのセルと同じピッチで横方向にM個並べて配置することにより制御モジュールを構成するようにしたものである。

【0014】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0015】§1. 従来の一般的なFIFOメモリ

はじめに、従来の一般的なFIFOメモリの構造を簡単に説明する。図1は、互いに動作速度の異なる第1の回路1および第2の回路2間で、デジタルデータの転送を行う場合に、両者を媒介するために用いられる一般的なFIFOメモリ3を示す概念図である。第1の回路1は第1のクロックCK1で動作し、第2の回路2は第2のクロックCK2で動作するため、両回路は非同期動作を行うことになり、両者間でデータ転送を行う場合には、時間差を吸収するためのFIFOメモリ3を媒介させる必要がある。ここに示すFIFOメモリ3には、転送すべきデータのビット数に応じた容量をもつ記憶部が合計6個設けられている。たとえば、転送すべきデータが8ビットのデータである場合には、6個の記憶部A～Fは、いずれも8ビットのデータを格納する記憶容量を有しており、このFIFOメモリ3は、8ビット6ワードの容量をもったメモリとして機能する。

【0016】ここで、第1の回路1から第2の回路2へ、デジタルデータX1, X2, X3, …を転送する場合は、次のような処理が行われる。まず、第1の回路1からは、第1のクロックCK1に同期したタイミングで、転送すべきデータX1, X2, X3が順次出力される。これらのデータは、FIFOメモリ3内の空いている記憶部へと順次格納されてゆく。一方、第2の回路2からのデータの取り込み要求があると、FIFOメモリ3内に格納されたデータが格納された順に、第2のクロックCK2に同期したタイミングで順次読み出される。このような先入れ先出しの処理を行うために、書込ポイントPwriteと読出ポイントPreadとが利用される。書込ポイントPwriteは、第1の回路1から出力されたデータを書き込むべき記憶部を指し示すポイントであり、読出ポイントPreadは、第2の回路2へデータを読み出すべき記憶部を指し示すポイントである。たとえば、図1に示す例では、記憶部A, B, Cには、既にデータX1, X2, X3が書き込まれており、書込ポイントPwriteは次にデータを書き込むべき記憶部Dを指し示している。第1の回路1から次のデータX4が出力されると、このデータX4は書込ポイントPwriteが指し示している記憶部Dに書き込まれることになり、書込ポイントPwriteは次の記憶部Eを指し示すように更新される。一方、第2の回路2へデータを読み出す場合には、まず、読出ポイントPreadが指し示している記憶部AからデータX1が読み出されることになり、読出ポイントPreadは次の記憶部Bを指し示すように更新される。

【0017】このFIFOメモリ3には、全記憶部が満状態になったことを示す信号FULLを第1の回路1へ送信する機能と、全記憶部が空状態になったことを示す信号EMPTYを第2の回路2へ送信する機能と、が備わっている。たとえば、図1に示す状態において、データ読出しが行われることなしに、新たなデータX4, X5, X6が書き込まれると、全記憶部が満状態となるの

で、第1の回路1に対して信号FULLが送信される。第1の回路1は、この信号FULLが送信された場合には、データ転送処理を一時休止する。逆に、図1に示す状態において、更なるデータ書き込みが行われることなしに、格納されていた全データX1、X2、X3が読み出されると、全記憶部が空状態となるので、第2の回路2に対して信号EMPTYが送信される。第2の回路2は、この信号EMPTYが送信された場合には、データ取込処理を一時休止する。

【0018】このような機能をもったFIFOメモリを実現するために、従来は、デュアルポートSRAMが用いられていた。図2は、従来のFIFOメモリの一般的な構成を示すブロック図である。このFIFOメモリの主たる構成要素は、デュアルポートSRAM4とコントロール部5である。デュアルポートSRAM4は、書込ポートと読出ポートとを有し、第1の回路1が出力したデータは、第1のクロックCK1に同期したタイミングで、書込ポートから書き込まれ、第2の回路2へ取り込むデータは、第2のクロックCK2に同期したタイミングで、読出ポートから読み出される。コントロール部5は、書込ポートに対して書込アドレスを指示するとともに、読出ポートに対して読出アドレスを指示する機能を有する。これらのアドレスは、図1における書込ポインタPwrite および読出ポインタPreadに相当するものであり、書込ポートに与えられたデータは、書込アドレスによって指定されるSRAM内のアドレス場所に格納され、読出ポートから取り出されるデータは、読出アドレスによって指定されるSRAM内のアドレス場所から取り出されることになる。コントロール部5は、書込処理あるいは読出処理が行われるごとに、書込アドレスあるいは読出アドレスを更新する処理を行い、両アドレスの差が所定の条件を満たした場合には、信号FULLあるいは信号EMPTYを生成して送信する処理を行う。

【0019】このような従来のFIFOメモリを設計する場合、デュアルポートSRAM4については、ハードマクロモジュールとしてセルライブラリ内に用意されている汎用のデュアルポートSRAMをそのまま利用すればよいが、コントロール部5については、カウンタ、比較器、組み合わせ論理回路、などの部品を組み合わせたソフトマクロモジュールとして、その都度、新たに設計せざるを得ない。このため、設計作業に多大な労力と時間が必要になることは既に述べたとおりである。

【0020】§2. 本発明に係るFIFOメモリ
本発明に係るFIFOメモリ10の基本構成を、図3のブロック図に示す。このFIFOメモリ10の主たる構成要素は、メモリモジュール11と制御モジュール12である。メモリモジュール11は、転送すべきデータのビット数に応じた容量をもつ記憶部を、複数M個配置してなるモジュールであり、図示の例では、8ビットの容量をもつ6個の記憶部11a～11fにより、メモリモ

ジュール11が構成されている。一方、制御モジュール12は、これら各記憶部に対応して設けられたM個の制御部からなるモジュールであり、図示の例では、6個の記憶部11a～11fにそれぞれ対応して設けられた6個の制御部12a～12fにより、制御モジュール12が構成されている。

【0021】第1の回路1から出力された8ビットのデータX1、X2、X3、…は、メモリモジュール11内の6個の記憶部11a～11fのいずれかに書き込まれることになり、格納されたデータX1、X2、X3は、格納された順に、第2の回路2へと読み出されることになるが、このとき、制御モジュール12によって、どの記憶部へ書き込みを行うか、あるいはどの記憶部から読出しを行うか、が指示される。このような指示を行うために、各制御部12a～12fには、それぞれ書込場所フラグWおよび読出場所フラグRを格納する領域が設けられている。図示の例では、各制御部は破線で上下の領域に分割されており、上部が書込場所フラグWを格納する領域、下部が読出場所フラグRを格納する領域である。ここでは、書込場所フラグWも読出場所フラグRもいずれもビット“1”によって表されており、ビット“0”が記された領域はフラグが格納されていない状態を示し、ビット“1”が記された領域はフラグが格納されている状態を示している。

【0022】具体的には、図3に示されている例では、書込場所フラグWは制御部12dに格納されており、読出場所フラグRは制御部12aに格納されている。書込場所フラグWは、第1の回路1からデータが出力された場合に、このデータを書き込むべき場所を示しており、読出場所フラグRは、第2の回路2へデータを取り込む場合に、データを読み込むべき場所を示している。

【0023】第1の回路1から第1のクロックCK1に同期してデータが出力されると、メモリモジュール11は、その時点において書込場所フラグWが格納されている制御部に対応する記憶部に、この出力されたデータを書き込む処理を行い、書込場所フラグWを格納していた制御部は、この書込場所フラグWを後段の制御部へと転送する処理を行う。たとえば、図示の状態において、第1の回路1からデータX4が出力された場合、このデータX4は、現在、書込場所フラグWが格納されている制御部12dに対応する記憶部11dに書き込まれることになる。そして、書込場所フラグWは、制御部12dから後段の制御部12eへと転送される（制御部12dの上部がビット“0”になり、制御部12eの上部がビット“1”になる）。

【0024】一方、第2の回路2から第2のクロックCK2に同期してデータ入力の要求があると、メモリモジュール11は、その時点において読出場所フラグRが格納されている制御部に対応する記憶部から、データを読出して第2の回路2へ与える処理を行い、読出場所フラグ

Rを格納していた制御部は、この読出場所フラグRを後段の制御部へ転送する処理を行う。たとえば、図示の状態において、第2の回路2へデータを取り込む場合、現在、読出場所フラグRが格納されている制御部12aに対応する記憶部11aに格納されているデータX1が第2の回路2へと読み出されることになる。そして、読出場所フラグRは、制御部12aから後段の制御部12bへと転送される（制御部12aの下部がビット“0”になり、制御部12bの下部がビット“1”になる）。

【0025】このように、書込場所フラグWおよび読出場所フラグRは、常に、制御モジュール12を構成する各制御部12a～12fのいずれか1つに格納され、第1のクロックCK1に同期した書込処理が実行されるたびに書込場所フラグWは後段の制御部へと転送され、第2のクロックCK2に同期した読出処理が実行されるたびに読出場所フラグRは後段の制御部へと転送される。図示の例では、図の左から右へ、位置A、B、C、D、E、Fの順に各段が定義されており、各フラグは、制御部12a、12b、12c、12d、12e、12fの順に転送されることになる（図では、ビット“1”が1
20
まずずつ右へ移動してゆくことになる）。ただし、位置Fの後段として位置Aが定義されており、制御部12fから転送されたフラグは制御部12aへと戻るような循環ループが形成されることになる。

【0026】なお、このFIFOメモリ10を最初に利用する場合には、リセット信号を与えることにより初期設定を行う。すなわち、このFIFOメモリ10にリセット信号を与えると、書込場所フラグWおよび読出場所フラグRは、いずれも初段となる制御部12aに格納された状態になる（図では、一番左の上下のますにそれぞれビット“1”が記入され、他のすべてのますにビット
30
“0”が記入された状態になる）。もっとも、初段の位置は必ずしも位置Aにする必要はなく、任意の位置に定義してかまわない。この初期設定の状態では、メモリモジュール11を構成するすべての記憶部11a～11fは空として扱われる。

【0027】リセットを行った後に、第1の回路1から出力された最初のデータX1は、その時点で書込場所フラグWが格納されている制御部12aに対応した記憶部11aに書き込まれ、書込場所フラグWは次の制御部12bへと転送される。続いて、第1の回路1から出力されたデータX2は、その時点で書込場所フラグWが格納されている制御部12bに対応した記憶部11bに書き込まれ、書込場所フラグWは次の制御部12cへと転送される。更に、第1の回路1からデータX3が出力されると、このデータX3は、その時点で書込場所フラグWが格納されている制御部12cに対応した記憶部11cに書き込まれ、書込場所フラグWは次の制御部12dへと転送される。図3に示す各フラグの状態は、このとき
40
の状態を示すものである。このように、制御モジュール

12内に格納された書込場所フラグWおよび読出場所フラグRによって、データの書込場所および読出場所を決定するようにすれば、先入れ先出しによるデータの受け渡しが可能になる。

【0028】また、このFIFOメモリ10では、全記憶部11a～11fが満状態になると、信号FULLが第1の回路1へと送信され、全記憶部11a～11fが空状態になると、信号EMPTYが第2の回路2へと送信される。これは、各制御部12a～12fが次のような機能を有しているためである。すなわち、各制御部12a～12fは、読出場所フラグRを格納しているときに、前段から書込場所フラグWの転送を受けると、第1の回路1に対して信号FULLを送信し、逆に、書込場所フラグWを格納しているときに、前段から読出場所フラグRの転送を受けると、第2の回路2に対して信号EMPTYを送信する機能を有する。

【0029】この機能を、図3の例に基づいて具体的に説明しよう。たとえば、図3に示す状態において、第2の回路2へのデータ読出しが行われることなしに、第1の回路1から新たなデータX4、X5、X6が出力されると、記憶部11d、11e、11fに、それぞれデータX4、X5、X6が書き込まれることになり、全記憶部が満状態になる。このとき、データX6が記憶部11fに書き込まれた時点で、制御部12fに格納されていた書込場所フラグWが後段へと転送される処理が行われ、書込場所フラグWは循環して制御部12aへと転送されることになる。すると、制御部12aは、読出場所フラグRを格納しているときに、前段から書込場所フラグWの転送を受けたことになるので、第1の回路1に対して信号FULLを送信する。第1の回路1は、この信号FULLの送信を受けると、データ転送処理を一時休止することになる。これにより、FIFOメモリ10がオーバーフローすることを防ぐことができる。

【0030】逆に、図3に示す状態において、更なるデータ書き込みが行われることなしに、格納されていた全データX1、X2、X3が第2の回路2へと読み出されると、全記憶部が空状態となる。このとき、データX3が記憶部11cから読み出された時点で、制御部12cに格納されていた読出場所フラグRが後段へと転送される処理が行われ、読出場所フラグRは制御部12dへと転送されることになる。すると、制御部12dは、書込場所フラグWを格納しているときに、前段から読出場所フラグRの転送を受けたことになるので、第2の回路2に対して信号EMPTYを送信する。第2の回路2は、この信号EMPTYの送信を受けると、データ取込処理を一時休止することになる。これにより、FIFOメモリ10から誤ったデータ読出しが行われることを防ぐことができる。

【0031】§3. 本発明に係るFIFOメモリの設計方法

11

上述した本発明に係るFIFOメモリ10のメリットは、メモリモジュール11および制御モジュール12を、いずれもセルライブラリ内に用意されたハードマクロモジュールの組み合わせとして構成でき、設計作業を単純化させることができる点にある。以下、この設計方法を説明する。

【0032】まず、セルライブラリ内に用意された1ビットの記憶素子21のセルを、図4に示すように、Mワード分だけ横方向に配置し、その一端に書込データバッファ22および読出データバッファ23のセルを配置し、単位行ユニット20を形成する。ここで、1ビットの記憶素子のセル21、書込データバッファのセル22、読出データバッファのセル23は、いずれも汎用性のあるセルであり、一般的なセルライブラリに既存のものをそのまま利用することができる（これら各セルとしては、図の縦方向の寸法が同じものを用いるようにする）。続いて、図5に示すように、この単位行ユニット20を縦方向にL個分だけ配置すれば、LビットMワードの記憶容量をもったメモリモジュールを構成することができる。ここで、縦方向に並んだ各列ごとのL個の記憶素子のセル21によって、1つの記憶部が形成されることになる（たとえば、図5の第1列目に並んだL個の記憶素子のセル21によって、図3に示す記憶部11aが形成される）。

【0033】続いて、図6に示すように、M個の制御部のセル31を用意し、これらを、第1列目から第M列目までのM個の記憶部と同じピッチで並べて配置すれば制御モジュールを構成することができ、各記憶部とこれに対応する各制御部とが互いに隣接配置されるようになる。個々の制御部のセル31は、S2で述べた機能をもつ素子であり、もちろん、従来から利用されている既存の一般的なセルライブラリには用意されていない。したがって、本発明を実施する上では、このような機能をもつ制御部のセル31を新たなセルとして設計し、これをセルライブラリに新規登録しておくといよい。各制御部のセル31は、いずれも同一の機能を有するので（リセット信号によって、書込場所フラグWおよび読出場所フラグRを初期設定する場合には、初期設定機能をもった特別なセルを用意する必要があるが、これについては、後述する実施例で述べる）、実際に設計するFIFOメモリのワード数にかかわらず、単一の制御部のセル31をライブラリに登録しておけばよい。

【0034】最後に、図7に示すように、M個の制御部のセル31から構成される制御モジュールに対して、第1の回路1で用いる第1のクロック信号CK1を、書込用クロックWCLKとして与え、第2の回路2で用いる第2のクロック信号CK2を、読出用クロックRCLKとして与え、各制御部のセル31から送信される信号FULLを第1の回路1へ与え、各制御部のセル31から送信される信号EMPTYを第2の回路2へ与えるよう

12

にし、必要に応じて、リセット信号RESETを与えるようにすれば、本発明に係るFIFOメモリの設計は完了である。

【0035】このような方法で設計を行えば、任意のビット数L、任意のワード数MをもったFIFOメモリを、セルライブラリとして供給されるハードマクロモジュールにより設計することができるので、セルを縦横に並べる単純な配置作業と、セル相互の単純な配線作業によって設計を行うことが可能になり、設計作業の負担は大幅に軽減されることになる。

【0036】

【実施例】図8および図9に、本発明に用いることができる制御部の具体的な回路の回路図を示す。図8に示す制御部100は、Mワードの記憶容量をもつFIFOメモリの第n列目（ $1 \leq n \leq M-1$ ）に用いられるセルであり、図9に示す制御部200は、Mワードの記憶容量をもつFIFOメモリの第M列目（最上位ワード）に用いられるセルである。両者の相違は、リセット信号RESETが与えられたときの動作のみである。すなわち、図8に示す制御部100は、リセット信号RESETが与えられると、右側の端子W(n)、R(n)に論理値“0”（フラグなしを示すビット）が出力されるのに対し、図9に示す制御部200は、リセット信号RESETが与えられると、右側の端子W(M)、R(M)に論理値“1”（フラグありを示すビット）が出力される。別言すれば、リセット信号RESETが与えられたとき、図8に示す制御部100では、書込場所フラグWおよび読出場所フラグRのいずれもが生成されないのに対し、図9に示す制御部200では、書込場所フラグWおよび読出場所フラグRの双方が生成されることになる。具体的には、たとえば、図3に示すように、6ワードの記憶容量（ $M=6$ ）をもつFIFOメモリを構成する場合、制御部12a～12eまでの5つの制御部としては、図8に示す制御部100が用いられ、最後の制御部12fとして、図9に示す制御部200が用いられることになる。

【0037】図8および図9に示す回路は、いずれも論理ゲートと順序回路との組み合わせによって構成されている。図10～図12は、これらの回路に用いられている3種類の順序回路（各図(a)）とその真理値表（各図(b)）を示すものである。真理値表の「X」は、任意の論理値を示し、「Latch」は直前の論理値が保持されることを示す。

【0038】制御部100、200は、許可信号出力部110、210、書込場所フラグ格納部120、220、満空信号発生部130、230、読出場所フラグ格納部140、240の4つの部分から構成されている。ここで、書込場所フラグ格納部120、220は、図3に示す各制御部12a～12fの上部のますに相当する機能を果たし、読出場所フラグ格納部140、240

は、図3に示す各制御部12a~12fの下部のますに相当する機能を果たす。

【0039】すなわち、書込場所フラグ格納部120、220内の順序回路は、論理値“0”もしくは“1”を一時的に保持し、第1の回路側から与えられる第1のクロック信号（書込クロック信号WCLK）に同期して、保持した論理値を図の左から右へと転送する処理を実行する。たとえば、図8に示す制御部100では、前段から転送されてきた論理値 $W(n-1)$ が、書込クロック信号WCLKの立ち下がりエッジに同期して第1段目の順序回路に取り込まれ、続く立ち上がりエッジに同期して第2段目の順序回路に取り込まれ、次の立ち下がりエッジに同期して、論理値 $W(n)$ として後段へと転送されることになる。なお、第M列目に設けられた図9に示す制御部200から出力された論理値 $W(M)$ は、第1列目に設けられた図8に示す制御部100へ、論理値 $W(n-1)$ として戻されることになる。

【0040】同様に、読出場所フラグ格納部140、240内の順序回路は、論理値“0”もしくは“1”を一時的に保持し、第2の回路側から与えられる第2のクロック信号（読出クロック信号RCLK）に同期して、保持した論理値を図の左から右へと転送する処理を実行する。たとえば、図8に示す制御部100では、前段から転送されてきた論理値 $R(n-1)$ が、読出クロック信号RCLKの立ち下がりエッジに同期して第1段目の順序回路に取り込まれ、続く立ち上がりエッジに同期して第2段目の順序回路に取り込まれ、次の立ち下がりエッジに同期して、論理値 $R(n)$ として後段へと転送されることになる。なお、第M列目に設けられた図9に示す制御部200から出力された論理値 $R(M)$ は、第1列目に設けられた図8に示す制御部100へ、論理値 $R(n-1)$ として戻されることになる。

【0041】前述したように、これらの回路にリセット信号RESETが与えられると、図8に示す制御部100は、論理値 $W(n)$ 、 $R(n)$ としてビット“0”を生成して後段へと転送する処理を行うが、図9に示す制御部200は、論理値 $W(M)$ 、 $R(M)$ としてビット“1”を生成して後段へと転送する処理を行う。したがって、リセット信号を与えた直後の初期設定状態では、第1列目の制御部100内に、書込場所フラグWおよび読出場所フラグRが保持された状態、すなわち、順序回路に論理値“1”が保持された状態となり、第2列目~第(M-1)列目の制御部100および第M列目の制御部200内の各順序回路に論理値“0”が保持された状態となる。以後、書込場所フラグ格納部120、220内に保持された論理値“1”（書込場所フラグW）は、書込クロック信号WCLKの1クロック周期ごとに後段へと転送されてゆき、読出場所フラグ格納部140、240内に保持された論理値“1”（読出場所フラグR）は、読出クロック信号RCLKの1クロック周期ごとに

後段へと転送されてゆく。

【0042】許可信号出力部110、210は、書込場所フラグWを格納しているとき、すなわち、書込場所フラグ格納部120、220内の順序回路が論理値“1”を保持しているときに、書込許可信号 $WW(n)$ 、 $WW(M)$ を出力し、読出場所フラグRを格納しているとき、すなわち、読出場所フラグ格納部140、240内の順序回路が論理値“1”を保持しているときに、読出許可信号 $RR(n)$ 、 $RR(M)$ を出力する機能を有する。書込許可信号 $WW(n)$ 、 $WW(M)$ および読出許可信号 $RR(n)$ 、 $RR(M)$ は、対応する列の記憶部内のメモリ素子へと供給され、その列（ワード）に対する書き込みもしくは読出し処理が実行されることになる。許可信号出力部110、210内に設けられたバッファは、メモリ素子に対するドライブバッファとして機能し、これらのバッファの駆動能力は、各記憶部のビット数Lに応じて定める必要がある。

【0043】また、満空信号発生部130、230は、読出場所フラグRを格納しているときに、前段から書込場所フラグWの転送を受けたときに信号FULLを発生し、逆に、書込場所フラグWを格納しているときに、前段から読出場所フラグRの転送を受けたときに信号EMPTYを発生する処理を行う。別言すれば、読出場所フラグ格納部140、240内の順序回路が論理値“1”を保持している状態のときに、書込場所フラグ格納部120、220へ前段から論理値“1”が転送されてきた場合に、信号FULLを発生し、書込場所フラグ格納部120、220内の順序回路が論理値“1”を保持している状態のときに、読出場所フラグ格納部140、240へ前段から論理値“1”が転送されてきた場合に、信号EMPTYを発生する機能を有する。なお、リセット信号RESETを与えた直後にも、信号EMPTYが発生する。

【0044】図13は、上述した制御部100、200を用いて構成したFIFOメモリの動作を示すタイミングチャートである。時刻 t_1 においてリセット信号RESETを与えた直後は、いずれの記憶部にもデータは書き込まれておらず、信号EMPTYが論理“1”となり活性化される。期間 T_1 、 T_2 は、データData(W)の書込動作タイミングを示しており、書込クロック信号WCLKの立ち上がりエッジに相当する時刻 t_2 に同期して書き込みが行われている。データが正確に書き込まれるように、時刻 t_2 の前に準備時間(setup time)として期間 T_1 が確保され、時刻 t_2 の後に保持時間(hold time)として期間 T_2 が確保されている。また、図示の例では、この書き込みにより、FIFOメモリは満状態となっており、信号FULLが論理“1”となり活性化されている。続く期間 T_3 では、満状態になったFIFOメモリから、データData(R)の読出しが実行されたため、時刻 t_3 において、信号FULL

15

が論理“0”となり不活性化されている。また、時刻 t_4 では、全データが読み出された結果、再び信号EMPTYが論理“1”となり活性化されているが、続く時刻 t_5 において、次のデータData(W)の書き込みが行われ、信号EMPTYは論理“0”となり不活性化されている。

【0045】図14は、図8に示す制御部100に対応するセルを(M-1)個配置するとともに、図9に示す制御部200に対応するセルを1個配置することにより、制御モジュールを構成した例を示すブロック図である。制御部100および制御部200のセルの横幅を、各記憶素子のセル幅に等しくしておけば、各記憶素子のセルと各制御部のセルとを同じピッチで横方向に配置することができる。また、各記憶素子における書込許可信号WWおよび読出許可信号RRの入力端子位置と、各制御部における書込許可信号WWおよび読出許可信号RRの出力端子位置とが一致するようにしておけば、配線は非常に単純化される(単に、セルを隣接配置するだけでよい)。また、書込場所フラグWを転送するための端子W(n)や、読出場所フラグRを転送するための端子R(n)の縦方向位置は、個々の制御部で共通のため、これらの端子の相互接続も非常に単純化される(やはり、セルを隣接配置するだけでよい)。各クロック信号WCLK, RCLKや、信号FULL, 信号EMPTYについての配線も同様である。ただ、第M列目の制御部の端子W(M)を、第1列目の制御部の端子W(0)へ接続し、第M列目の制御部の端子R(M)を、第1列目の制御部の端子R(0)へ接続する配線は別途必要になる。

【0046】

【発明の効果】以上のとおり本発明によれば、複数M個の記憶部からなるメモリモジュールと、複数M個の制御部からなる制御モジュールと、によってFIFOメモリを構成するようにしたため、設計作業を単純化させることができるようになる。

【図面の簡単な説明】

【図1】一般的なFIFOメモリを用いたデータ転送の原理を示すブロック図である。

【図2】従来のFIFOメモリの一般的な構成を示すブロック図である。

【図3】本発明に係るFIFOメモリの基本構成を示すブロック図である。

【図4】図3に示すFIFOメモリを設計する第1のプロセスを示す図である。

【図5】図3に示すFIFOメモリを設計する第2のプロセスを示す図である。

【図6】図3に示すFIFOメモリを設計する第3のプロセスを示す図である。

【図7】図3に示すFIFOメモリを設計する第4のプロセスを示す図である。

【図8】本発明に係るFIFOメモリに第1の制御部と

16

して用いる回路の一例を示す回路図である。

【図9】本発明に係るFIFOメモリに第2の制御部として用いる回路の一例を示す回路図である。

【図10】図8および図9に示す回路図に用いられている第1の順序回路およびその真理値表を示す図である。

【図11】図8および図9に示す回路図に用いられている第2の順序回路およびその真理値表を示す図である。

【図12】図8および図9に示す回路図に用いられている第3の順序回路およびその真理値表を示す図である。

【図13】図8および図9に示す回路を用いて構成したFIFOメモリの動作を示すタイミングチャートである。

【図14】図8および図9に示す制御部を配置することにより構成した制御モジュールを示すブロック図である。

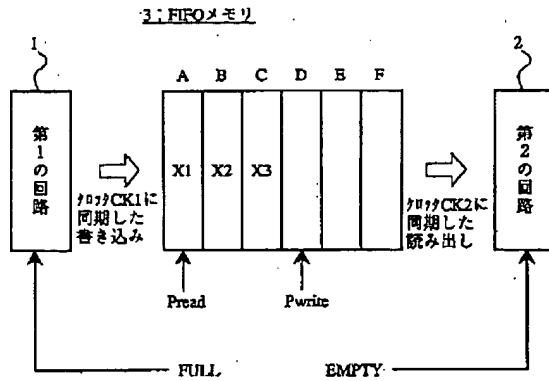
【符号の説明】

- 1…第1の回路
- 2…第2の回路
- 3…FIFOメモリ
- 4…デュアルポートSRAM
- 5…コントロール部
- 10…FIFOメモリ
- 11…メモリモジュール
- 11a~11f…記憶部
- 12…制御モジュール
- 12a~12f…制御部
- 20…単位行ユニット
- 21…1ビットの記憶素子のセル
- 22…書込データバッファのセル
- 23…読出データバッファのセル
- 31…制御部のセル
- 100…第1の制御部
- 110…許可信号出力部
- 120…書込場所フラグ格納部
- 130…満空信号発生部
- 140…読出場所フラグ格納部
- 200…第2の制御部
- 210…許可信号出力部
- 220…書込場所フラグ格納部
- 230…満空信号発生部
- 240…読出場所フラグ格納部
- A~F…データを格納する位置/記憶部
- EMPTY…空状態を示す信号
- FULL…満状態を示す信号
- Pread…読出ポインタ
- Pwrite…書込ポインタ
- RCLK…読出クロック信号
- RESET…リセット信号
- R(n-1), R(n), R(M-1), R(M)…転送される読出場所フラグ

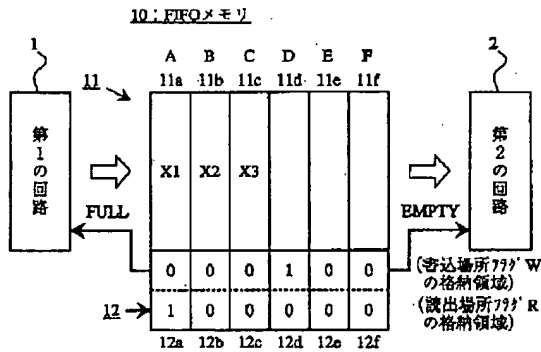
17

RR(n), RR(M) …読出許可信号
 WCLK …書込クロック信号
 W(n-1), W(n), W(M-1), W(M) …転送される書込場所フラグ

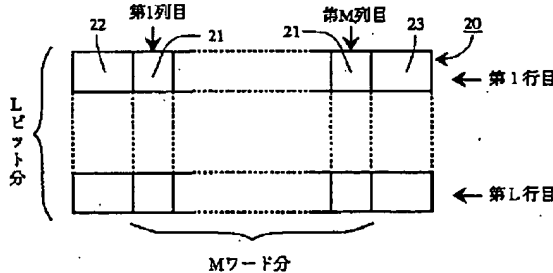
【図1】



【図3】



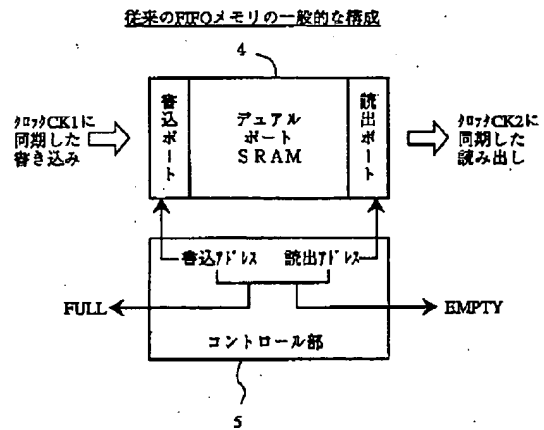
【図5】



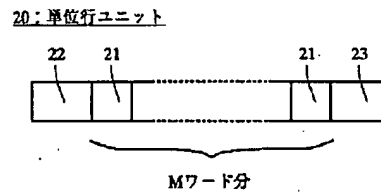
18

WW(n), WW(M) …書込許可信号
 X1~X3 …転送すべきデータ
 X(1), X(L) …転送すべきデータの各ビット

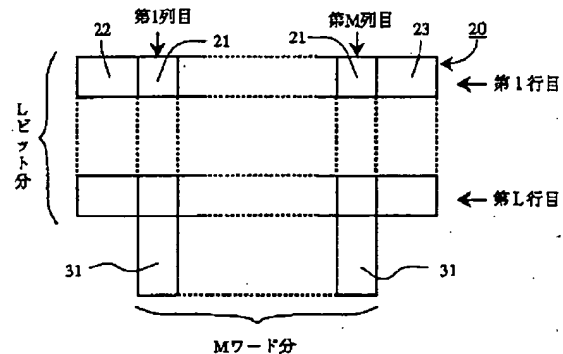
【図2】



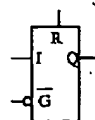
【図4】



【図6】



【図10】

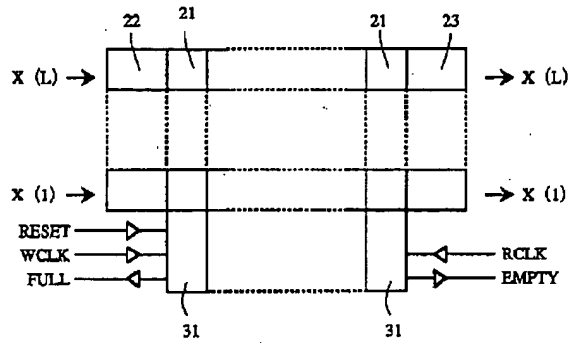


(a)

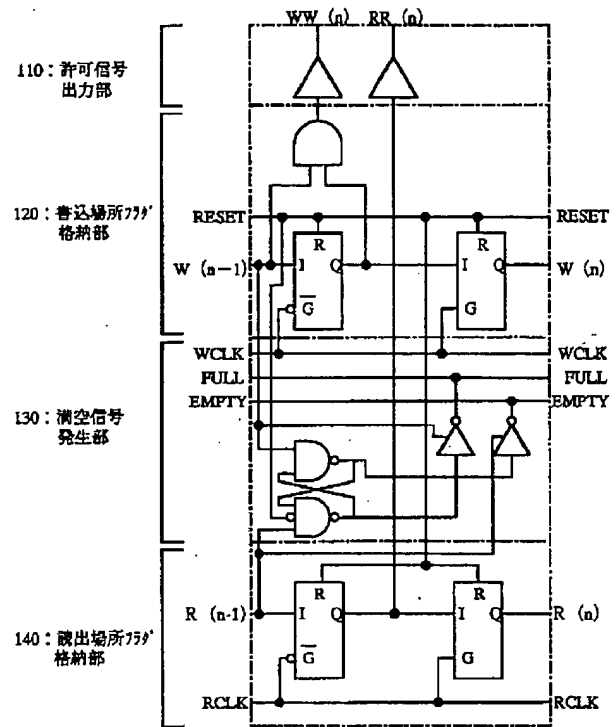
I	G	R	Q
0	0	0	0
1	0	0	1
X	1	0	Latch
X	X	1	0

(b)

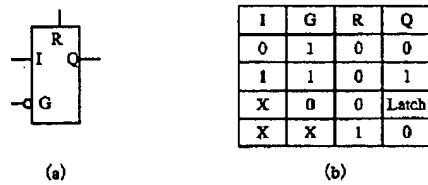
【図7】



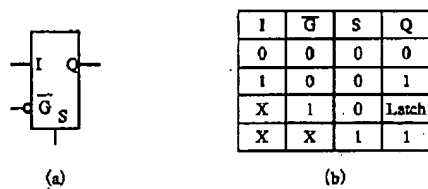
【図8】

100: 第n列目 ($1 \leq n \leq M-1$) に用いられる制御部

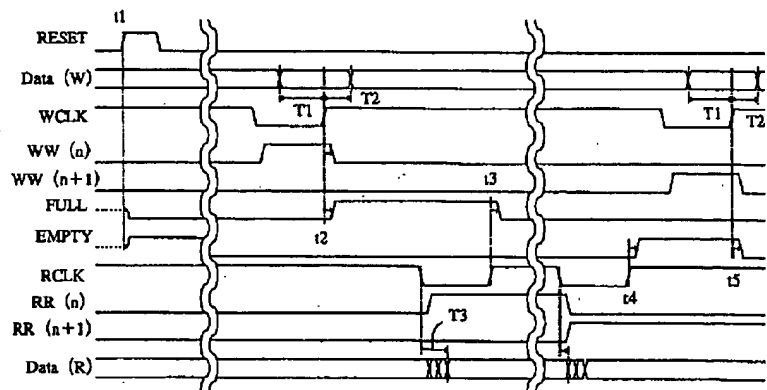
【図11】



【図12】

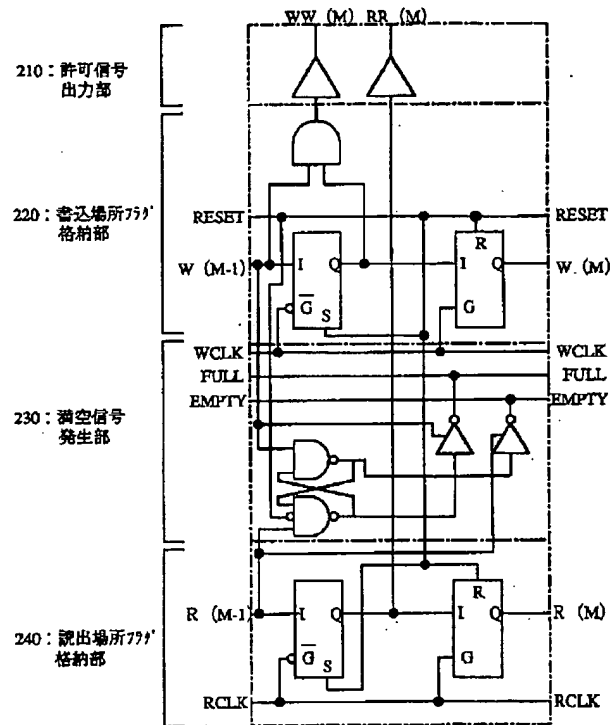


【図13】



【図9】

200: 第M列目(最上位ワード)に用いられる制御部



【図14】

